

PATENT ABSTRACTS OF JAPAN

(1)

(11)Publication number : 11-233678
 (43)Date of publication of application : 27.08.1999

(51)Int.CI. H01L 23/12
 H05K 3/46

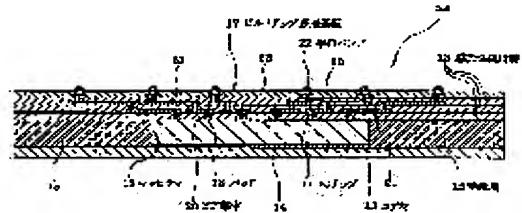
(21)Application number : 10-033130 (71)Applicant : SUMITOMO METAL ELECTRONICS
 DEVICES INC
 (22)Date of filing : 16.02.1998 (72)Inventor : AKAHO KAZUNORI

(54) MANUFACTURE OF IC PACKAGE

(57)Abstract:

PROBLEM TO BE SOLVED: To avoid connection defects between a build-up multilayer board to an IC chip.

SOLUTION: An insulation layer 15 of the same depth as that of an IC chip 11 is formed on a core 13, the IC chip is fitted in a cavity 16 of the insulation layer 15 with its surface up at pads 12, and adhered to the core 13. A photosensitive resin layer 18 is formed on the same plane, formed by the surface of the IC chip 11 at the pads 12 and top surface of the insulation layer 15, and photoetched to form vias, via-conductors 20 and inner layer wiring pattern 21 are formed by plating from above them. Forming of the photosensitive resin layer 18, forming of the vias, and forming of the via-conductors 20 and inner layer wiring pattern 21 are repeated to form a build-up multilayer board 17 on the IC chip 11. A solder paste is printed on the top end portions of the via-conductors 20 of the topmost layer and molten by the reflow to form solder bumps 22.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

[Claim(s)]

[Claim 1] The manufacture approach of the IC package which forms a wiring layer with plating from on that, repeats successively formation of said photopolymer layer, formation of a beer hall, and formation of a wiring layer, and forms a build up multilayer substrate on said IC chip henceforth after turning the pad side of IC chip upward, forming a photopolymer layer on that pad side, carrying out photo etching of this photopolymer layer and forming a beer hall.

[Claim 2] While forming the insulating layer of the same thickness as said IC chip on core material After forming the cavity which inserts said IC chip in this insulating layer, turning a pad side upward, inserting in said IC chip in said cavity and joining to the top face of said core material, The manufacture approach of the IC package according to claim 1 characterized by forming said build up multilayer substrate on the same flat surface formed on the pad side of said IC chip, and the top face of said insulating layer.

[Claim 3] The manufacture approach of the IC package according to claim 1 or 2 characterized by forming a solder bump in the front face of said build up multilayer substrate, and carrying in a wiring substrate using this solder bump.

[Claim 4] The manufacture approach of the IC package according to claim 2 characterized by using a metal plate as said core material.

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the manufacture approach of the IC package constituted using a build up multilayer substrate.

[0002]

[Description of the Prior Art] The densification of the wiring consistency of the substrate carrying IC chip and many pin-ization have been an important technical technical problem with high-performance-izing and a miniaturization of IC chip in recent years. There is a build up multilayer substrate as an example of current and the high density mounting board put in practical use. that top after this thing's forming the photopolymer layer of an epoxy system on the glass epoxy group plate used as a core substrate and forming a beer hall in this photopolymer layer by the photo etching method to copper plating -- a inner layer conductor pattern and beer -- a conductor is formed, and henceforth, the same process is repeated successively and it multilayers.

[0003]

[Problem(s) to be Solved by the Invention] There is an inclination which the number of laminatings of a build up multilayer substrate increases with high-performance-izing of IC chip in recent years, and there is an inclination for the irregularity on the front face of a substrate produced with the thickness of a inner layer conductor pattern to become large, in connection with it. For this reason, if the surface mount of the IC chip is carried out by flip chip bonding (C4) on a build up multilayer substrate with many laminatings, it will become easy to generate a faulty connection with the irregularity on the front face of a substrate. For this reason, the present build up multilayer substrate had brought a result to which the number of laminatings will be restricted from the need of lessening irregularity on the front face of a substrate, and high density wiring-ization is restricted.

[0004] This invention is made in consideration of such a situation, therefore the purpose is in offering the manufacture approach of the IC package which can prevent the faulty connection of IC chip, corresponding to the increment in the number of laminatings of a build up multilayer substrate, and high density wiring-ization.

[0005]

[Means for Solving the Problem] In order to attain the above-mentioned purpose, the manufacture approach of the IC package of claim 1 of this invention turns the pad side of IC chip upward. After forming a photopolymer layer on that pad side, carrying out photo etching of this photopolymer layer and forming a beer hall, A wiring layer is formed with plating from moreover, henceforth, formation of these photopolymer layer, formation of a beer hall, and formation of a wiring layer are repeated

successively, and a build up multilayer substrate is formed on said IC chip. If it does in this way, even if the number of laminatings of a build up multilayer substrate becomes how many layers, the component side (the lowest side) of a build up multilayer substrate to IC chip will turn into a flat surface without irregularity, and the faulty connection of IC chip and a build up multilayer substrate of it will be lost.

[0006] In this case, while forming the insulating layer of the same thickness as IC chip on core material, after forming the cavity which inserts IC chip in this insulating layer, turning a pad side upward, inserting in IC chip in said cavity and joining to the top face of said core material like claim 2, it is good to form a build up multilayer substrate on the same flat surface formed on the pad side of IC chip, and the top face of said insulating layer. If it does in this way, while the area of a build up multilayer substrate is expandable with the insulating layer formed in the periphery enclosure of IC chip, IC chip can be closed by the build up multilayer substrate, the insulating layer, and core material. Moreover, core material plays the role which suppresses the curvature of the build up multilayer substrate by hardening contraction of a photopolymer layer.

[0007] Furthermore, a solder bump is formed in the front face of a build up multilayer substrate, and you may make it carry in a wiring substrate like claim 3 using this solder bump. If it does in this way, the wiring distance of a build up multilayer substrate and a wiring substrate serves as the shortest, and it is low-impedance-ized and is easy to respond also to improvement in the speed of a signal, or high density wiring-ization.

[0008] Moreover, although a ceramic may be used for core material, you may make it a metal plate used for it like claim 4. Since heat dissipation nature is good, the core material of a metal plate can be used also as radiator material, while having sufficient reinforcement to suppress the curvature of a build up multilayer substrate.

[0009]

[Embodiment of the Invention] It is BGA (Ball Grid Array) about the following and this invention. One operation gestalt applied to the package is explained. First, the structure of the BGA package 24 whole is explained based on drawing 1. The IC chip 11 turned the field by the side of a pad 12 upward, and has pasted it up on the top-face center section of the core material 13 made from a metal plate with adhesives 14. On the core material 13, it is formed so that the insulating layers 15 of the epoxy resin of the same thickness as the IC chip 11 may surround the IC chip 11. The build up multilayer substrate 17 is formed on the same flat surface formed on the field by the side of the pad 12 of the IC chip 11, and the top face of an insulating layer 15.

[0010] the beer with which the insulating layer of each class is formed in the photopolymer layer 18, and the build up multilayer substrate 17 connects between layers to each photopolymer layer 18 -- the conductor 20 and the inner layer circuit pattern 21 (wiring layer) are formed. The solder bump 22 (solder ball) is formed in the front face of the build up multilayer substrate 17, and parts other than this solder bump 22 are covered by the solder resist 23. As shown in drawing 2, alignment of the solder bump 22 is carried out to the pad 26 of the wiring substrate 25 (DOTA board), and reflow soldering of the BGA package 24 constituted as mentioned above is carried out. Mold resin sinks into the clearance between the BGA package 24 and the wiring substrate 25, and the role to which this mold resin joins the BGA package 24 and the wiring substrate 25 is played.

[0011] Next, the manufacture approach of the multi chip module (MCM) of the above-mentioned configuration is explained according to the process flow chart of drawing 3. It plates with gold on the front face, using metal plates, such as a copper plate and a stainless steel plate, as core material 13. Then, on the core material 13, the photopolymer of an epoxy system is applied by a spin coater etc., and the photosensitive insulating layer 15 of the same thickness as the IC chip 11 is formed. Next, in order to form a cavity 16 in the center section of the insulating layer 15 by photo etching, it exposes to an insulating layer 15 (1500mj), and it is immersed for 80 seconds, negatives are developed, and the cavity 16 for fitting the IC chip 11 into this insulating layer 15 is formed in an alkali developer (NaOH:3%) for this. Then, in order to stiffen an insulating layer 15, UV KYUA is performed by

1000mj(s), and further, at 150 degrees C, this insulating layer 15 is heated for 2 hours, and carries out heat curing.

[0012] Then, adhesives are applied to the inferior surface of tongue (a pad 12 side is the field of the opposite side) of the IC chip 11, the field by the side of a pad 12 is turned upward, and the IC chip 11 is inserted in a cavity 16, carries out heat desiccation at 150 degrees C for 7 hours, and the IC chip 11 is joined to the top face of the core material 13. The same flat surface is formed by this on the field by the side of the pad 12 of the IC chip 11, and the top face of an insulating layer 15, and the build up multilayer substrate 17 is formed as follows with the usual semiadditive process on this flat surface.

[0013] First, the photopolymer of an epoxy system is applied to the same flat surface formed on the field by the side of the pad 12 of the IC chip 11, and the top face of an insulating layer 15 by a spin coater etc., it prebakes for 30 minutes at 90 degrees C, and the photopolymer layer 18 is formed. Then, BEKU [it exposes in the photopolymer layer 18 using parallel light (1500mj), and / 90 degrees C] for 30 minutes after exposure again in order to form a beer hall in the photopolymer layer 18 by photo etching. next, this photopolymer layer 18 -- an alkali developer (NaOH:3%) -- for example, it is immersed for 80 seconds, negatives are developed, and a beer hall is formed in the photopolymer layer 18. Then, again, UV KYUA is performed by 1000mj(s), further, at 175 degrees C, it heats for 2 hours and heat curing is carried out. This forms the layer [1st] photopolymer layer 18.

[0014] Next, it is the front face of the photopolymer layer 18 after making the photopolymer layer 18 swell for 3 minutes at 70 degrees C KMnO4 At 80 degrees C, software etching is carried out for 3 minutes, and it roughens. Then, the roughening front face of the photopolymer layer 18 is rinsed, and after neutralizing, non-electrolyzed Cu plating is performed to the whole roughening front face of the photopolymer layer 18. It is a dry film (photographic sensitive film) to the front face of after plating and non-electrolyzed Cu plating coat 110 degrees C and 4 kgf/cm² It laminates. Then, only the beer and the circuit pattern formation part of the dry films are exposed (80mj), it is immersed in an alkali developer (sodium carbonate: 1%), this is developed, and the beer and the circuit pattern formation section of the dry films are removed.

[0015] then, the electrolysis Cu plating from a dry film -- giving -- beer -- an electrolysis Cu plating pattern is formed in the part corresponding to a conductor 20 and the inner layer circuit pattern 21. After plating, after exfoliating a dry film with an acetone, the garbage of non-electrolyzed Cu plating coat is removed by etching, using an electrolysis Cu plating pattern as etching resist (mask). thereby -- the beer hall of the photopolymer layer 18 -- beer -- a conductor 20 -- forming -- this beer -- while making the pad 12 of the IC chip 11 flow through a conductor 20, the inner layer circuit pattern 21 is formed in the top face of the photopolymer layer 18.

[0016] the above process -- formation of the photopolymer layer 18 of the 1st layer, formation of a beer hall, and beer -- formation of a conductor 20 and the inner layer circuit pattern 21 is ended, and henceforth, the build up multilayer substrate 17 is repeatedly formed on the IC chip 11 one by one until it becomes the required number of laminatings about these processes.

[0017] thus -- if the build up multilayer substrate 17 is formed on the IC chip 11, even if it will not form a solder (Pb) bump in the pad 12 of the IC chip 11 -- a pad 12 -- beer -- it becomes possible to carry out direct continuation of the conductor 20, and Pb demand non-used (formation of Pb free) can be filled.

[0018] the solder resist 23 of photosensitivity [top face / whole / of after formation of the build up multilayer substrate 17, and the build up multilayer substrate 17] -- a spin coater etc. -- applying -- this -- exposure -- developing negatives -- the beer of the maximum upper layer -- the upper limit part of a conductor 20 is exposed from the coat of the solder resist 23 of the top face of the build up multilayer substrate 17. and the beer of the maximum upper layer after carrying out heat curing of the solder resist 23 -- soldering paste is screen-stenciled into the upper limit exposure part of a conductor 20, melting of this is carried out by the reflow, and the solder bump 22 is formed. Of the above process, the BGA package 24 of the structure shown in drawing 1 is formed.

[0019] Then, alignment of the solder bump 22 of the BGA package 24 is carried out to the pad 26 of

the wiring substrate 25, after carrying out reflow soldering, mold resin is sunk into the clearance between the BGA package 24 and the wiring substrate 25, and the BGA package 24 and the wiring substrate 25 are joined. Thereby, the multi chip module (MCM) of the structure shown in drawing 2 is manufactured.

[0020] By the way, the build up multilayer substrate 17 plays the role with which the core material 13 suppresses the curvature of this substrate with the structure of drawing 1, although it is easy to produce curvature by hardening contraction of the photopolymer layer 18.

[0021] Since this invention person performed the trial which evaluates the effectiveness that the core material 13 suppresses the curvature of a substrate, he shows the test result in the next table 1.

[0022]

[Table 1]

| サンプルNO. | コア材 | 反り量 |
|---------|-------------|-------------|
| 1 | 樹脂板 | 5000±150 μm |
| 2 | Cu板：厚さ0.4mm | 1000±100 μm |
| 3 | Cu板：厚さ1.0mm | 30±5 μm |

[0023] The size of each sample used for this trial is 800 micrometers in 88mm[88mm by] x thickness. Cu plate with a thickness of 1.0mm was used [sample NO.1] for sample NO.3 by sample NO.2 as core material, using Cu plate with a thickness of 0.4mm as core material, using a resin plate as core material. When it measured the ten amounts of curvatures at a time, respectively, to the amount of curvatures having been 5000**150 micrometers, in sample NO.2 (Cu plate with a thickness of 0.4mm), the amount of curvatures is 1000**150 micrometers, and, as for sample NO.1 (resin plate), the amount of curvatures decreased to one fifth of sample NO.1 about each sample. Furthermore, the amount of curvatures is 30**5 micrometers, and, as for sample NO.3 (Cu plate with a thickness of 1.0mm), curvature was suppressed effectively.

[0024] In addition, although there is an advantage from which the heat dissipation effectiveness is also acquired with the curvature prevention effectiveness as core material if metal plates, such as Cu plate and a stainless steel plate, are used, it is not limited to a metal plate but a ceramic plate, a glass plate, a strengthening resin plate, etc. may be used. Moreover, the insulating layer of the periphery enclosure of the IC chip 11 may be formed in core material and one. Furthermore, you may make it join two or more IC chips on core material.

[0025]

[Effect of the Invention] Since the build up multilayer substrate was formed on IC chip according to the manufacture approach of the IC package of claim 1 of this invention so that clearly from the above explanation Even if the number of laminatings of a build up multilayer substrate becomes how many layers, while being able to prevent poor junction of IC chip and a build up multilayer substrate Even if it does not form a solder (Pb) bump in IC chip, IC chip and a build up multilayer substrate can be connected, and Pb demand non-used (formation of Pb free) can be filled.

[0026] Furthermore, in claim 2, since the insulating layer of the same thickness as IC chip was formed on core material, while the area of a build up multilayer substrate is expandable, the curvature of a build up multilayer substrate can be suppressed by core material, and, moreover, IC chip can be closed by the build up multilayer substrate, the insulating layer, and core material.

[0027] Moreover, in claim 3, since the solder bump was formed in the front face of a build up multilayer substrate, it can mount in a wiring substrate by the BGA method, and can respond to high-density-assembly-ization.

[0028] Moreover, in claim 4, since the metal plate was used as core material, both the curvature depressor effect and heat dissipation nature of a substrate can be raised.

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-233678

(43)公開日 平成11年(1999)8月27日

(51)Int.Cl.⁶
H 01 L 23/12
H 05 K 3/46

識別記号

F I
H 01 L 23/12
H 05 K 3/46

N
B
Q

審査請求 未請求 請求項の数4 O.L (全6頁)

(21)出願番号 特願平10-33130

(22)出願日 平成10年(1998)2月16日

(71)出願人 391039896
株式会社住友金属エレクトロデバイス
山口県美祢市大嶺町東分字岩倉2701番1

(72)発明者 赤穂 和則
山口県美祢市大嶺町東分字岩倉2701番1
株式会社住友金属エレクトロデバイス内

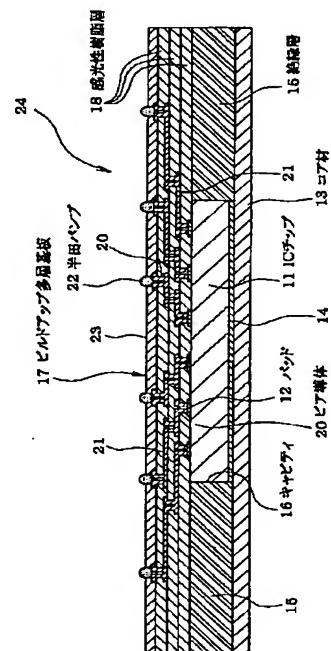
(74)代理人 弁理士 加古 宗男

(54)【発明の名称】 ICパッケージの製造方法

(57)【要約】

【課題】 ビルドアップ多層基板とICチップとの接続不良を防止する。

【解決手段】 コア材13上にICチップ11と同じ厚みの絶縁層15を形成し、この絶縁層15のキャビティ16内に、ICチップ11をパッド12側の面を上向きにして嵌め込み、ICチップ11をコア材13に接着する。ICチップ11のパッド12側の面と絶縁層15の上面とで形成される同一平面に感光性樹脂層18を形成し、この感光性樹脂層18をフォトエッチングしてピアホールを形成した後、その上からめっきにてピア導体20と内層配線バターン21を形成し、以後、感光性樹脂層18の形成、ピアホールの形成及びピア導体20と内層配線バターン21の形成を順次繰り返して、ICチップ11上にビルトアップ多層基板17を形成する。最上層のピア導体20の上端部分に半田ベーストを印刷し、これをリフローにより溶融させて半田バンブ22を形成する。



【特許請求の範囲】

【請求項1】 ICチップのパッド面を上向きにして、そのパッド面上に感光性樹脂層を形成し、この感光性樹脂層をフォトエッチングしてピアホールを形成した後、その上からめっきにて配線層を形成し、以後、前記感光性樹脂層の形成、ピアホールの形成及び配線層の形成を順次繰り返して、前記ICチップ上にビルトアップ多層基板を形成するICパッケージの製造方法。

【請求項2】 コア材上に、前記ICチップと同じ厚みの絶縁層を形成すると共に、この絶縁層に前記ICチップを嵌め込むキャビティを形成し、前記ICチップをパッド面を上向きにして前記キャビティ内に嵌め込んで前記コア材の上面に接合した後、前記ICチップのパッド面と前記絶縁層の上面とで形成される同一平面上に前記ビルトアップ多層基板を形成することを特徴とする請求項1に記載のICパッケージの製造方法。

【請求項3】 前記ビルトアップ多層基板の表面に半田バンプを形成し、この半田バンプを用いて配線基板に搭載することを特徴とする請求項1又は2に記載のICパッケージの製造方法。

【請求項4】 前記コア材として金属板を用いることを特徴とする請求項2に記載のICパッケージの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、ビルトアップ多層基板を用いて構成するICパッケージの製造方法に関するものである。

【0002】

【従来の技術】 近年のICチップの高性能化・小型化に伴い、ICチップを搭載する基板の配線密度の高密度化、多ビン化が重要な技術的課題となっている。現在、実用化されている高密度実装基板の一例としてビルトアップ多層基板がある。このものは、コア基板となるガラスエポキシ基板上にエポキシ系の感光性樹脂層を形成し、この感光性樹脂層にフォトエッチング法でピアホールを形成した後、その上から、銅めっきで内層導体パターンやピア導体を形成し、以後、同様の工程を順次繰り返して多層化するものである。

【0003】

【発明が解決しようとする課題】 近年のICチップの高性能化に伴い、ビルトアップ多層基板の積層数が増加する傾向があり、それに伴って、内層導体パターンの厚みによって生じる基板表面の凹凸が大きくなる傾向がある。このため、積層数の多いビルトアップ多層基板上にICチップをフリップチップボンディング(C4)で表面実装すると、基板表面の凹凸によって接続不良が発生しやすくなる。このため、現状のビルトアップ多層基板は、基板表面の凹凸を少なくする必要性から積層数が制限されてしまい、高密度配線化が制限される結果となっ

ていた。

【0004】 本発明はこのような事情を考慮してなされたものであり、従ってその目的は、ビルトアップ多層基板の積層数増加、高密度配線化に対応しつつ、ICチップの接続不良を防止できるICパッケージの製造方法を提供することにある。

【0005】

【課題を解決するための手段】 上記目的を達成するため

に、本発明の請求項1のICパッケージの製造方法はICチップのパッド面を上向きにして、そのパッド面上に感光性樹脂層を形成し、この感光性樹脂層をフォトエッチングしてピアホールを形成した後、その上からめっきにて配線層を形成し、以後、これら感光性樹脂層の形成、ピアホールの形成及び配線層の形成を順次繰り返して、前記ICチップ上にビルトアップ多層基板を形成するものである。このようにすれば、ビルトアップ多層基板の積層数が何層になっても、ICチップに対するビルトアップ多層基板の実装面(最下面)は、凹凸のない平面となり、ICチップとビルトアップ多層基板との接続不良が無くなる。

【0006】 この場合、請求項2のように、コア材上に、ICチップと同じ厚みの絶縁層を形成すると共に、この絶縁層にICチップを嵌め込むキャビティを形成し、ICチップをパッド面を上向きにして前記キャビティ内に嵌め込んで前記コア材の上面に接合した後、ICチップのパッド面と前記絶縁層の上面とで形成される同一平面上にビルトアップ多層基板を形成すると良い。このようにすれば、ICチップの外周囲に形成した絶縁層によってビルトアップ多層基板の面積を拡大できると共に、ICチップをビルトアップ多層基板、絶縁層及びコア材によって封止することができる。また、コア材は、感光性樹脂層の硬化収縮によるビルトアップ多層基板の反りを抑える役割を果たす。

【0007】 更に、請求項3のように、ビルトアップ多層基板の表面に半田バンプを形成し、この半田バンプを用いて配線基板に搭載するようにしても良い。このようにすれば、ビルトアップ多層基板と配線基板との配線距離が最短となり、低インピーダンス化され、信号の高速化や高密度配線化にも対応しやすい。

【0008】 また、コア材は、例えばセラミックを用いても良いが、請求項4のように、金属板を用いるようにしても良い。金属板のコア材は、ビルトアップ多層基板の反りを抑えるのに十分な強度を有すると共に、放熱性が良いため、放熱部材としても利用できる。

【0009】

【発明の実施の形態】 以下、本発明をBGA(Ball Grid Array)パッケージに適用した一実施形態を説明する。

まず、図1に基づいてBGAパッケージ24全体の構造を説明する。ICチップ11は、パッド12側の面を上向きにして金属板製のコア材13の上面中央部に接着剤

14により接着されている。コア材13上には、ICチップ11と同じ厚みのエボキシ樹脂の絶縁層15がICチップ11を取り巻くように形成されている。ICチップ11のパッド12側の面と絶縁層15の上面とで形成される同一平面上にビルトアップ多層基板17が形成されている。

【0010】ビルトアップ多層基板17は、各層の絶縁層が感光性樹脂層18で形成され、各感光性樹脂層18には、層間を接続するピア導体20と内層配線パターン21(配線層)が形成されている。ビルトアップ多層基板17の表面には、半田バンブ22(半田ボール)が形成され、この半田バンブ22以外の部分はソルダーレジスト23で覆われている。以上のように構成されたBGAパッケージ24は、図2に示すように、半田バンブ22を配線基板25(ドータボード)のパッド26に位置合わせてリフロー半田付けされる。BGAパッケージ24と配線基板25との間の隙間には、モールド樹脂が含浸され、このモールド樹脂がBGAパッケージ24と配線基板25とを接合する役割を果たす。

【0011】次に、上記構成のマルチチップモジュール(MCM)の製造方法を図3の工程フローチャートに従って説明する。コア材13として、銅板、ステンレス鋼板等の金属板を用い、その表面に金めっきを施す。この後、コア材13上に、エボキシ系の感光性樹脂をスピンドルコーター等で塗布して、ICチップ11と同じ厚みの感光性の絶縁層15を形成する。次に、絶縁層15の中央部にキャビティ16をフォトエッチングにより形成するため、絶縁層15に露光(1500mj)し、これをアルカリ現像液(NaOH:3%)に例えれば80秒間浸漬して現像して、この絶縁層15に、ICチップ11を嵌合するためのキャビティ16を形成する。この後、絶縁層15を硬化させるために、UVキュアを1000mjで行い、更に、この絶縁層15を150°Cで2時間加熱して熱硬化させる。

【0012】この後、ICチップ11の下面(パッド12側とは反対側の面)に接着剤を塗布して、ICチップ11をパッド12側の面を上向きにしてキャビティ16内に嵌め込み、150°Cで7時間、熱乾燥してICチップ11をコア材13の上面に接合する。これにより、ICチップ11のパッド12側の面と絶縁層15の上面とで同一の平面が形成され、この平面上にビルトアップ多層基板17を通常のセミアディティブ法により次のようにして形成する。

【0013】まず、ICチップ11のパッド12側の面と絶縁層15の上面とで形成される同一平面上にエボキシ系の感光性樹脂をスピンドルコーター等で塗布して、90°Cで30分間、ブリペークして感光性樹脂層18を形成する。この後、感光性樹脂層18にピアホールをフォトエッチングにより形成するために、感光性樹脂層18に平行光を使用して露光(1500mj)し、露光後に、再

度90°Cで30分間、ブリペークする。次に、この感光性樹脂層18をアルカリ現像液(NaOH:3%)に例えれば80秒間浸漬して現像し、感光性樹脂層18にピアホールを形成する。この後、再度、UVキュアを1000mjで行い、更に、175°Cで2時間加熱して熱硬化させる。これにより、1層目の感光性樹脂層18を形成する。

【0014】次に、感光性樹脂層18を70°Cで3分間、膨潤させた後、感光性樹脂層18の表面をKMnO₄により80°Cで3分間、ソフトエッチングして粗化する。この後、感光性樹脂層18の粗化表面を水洗し、中和した後、感光性樹脂層18の粗化表面全体に無電解Cuめっきを施す。めっき後、無電解Cuめっき被膜の表面にドライフィルム(感光性フィルム)を110°C、4kgf/cm²でラミネートする。この後、ドライフィルムのうちのピア・配線パターン形成部分のみを露光(80mj)し、これをアルカリ現像液(炭酸ソーダ:1%)に浸漬して現像し、ドライフィルムのうちのピア・配線パターン形成部を除去する。

【0015】この後、ドライフィルムの上から電解Cuめっきを施して、ピア導体20と内層配線パターン21に対応する部分に電解Cuめっきパターンを形成する。めっき後、アセトンでドライフィルムを剥離した後、電解Cuめっきパターンをエッチングレジスト(マスク)として用いて、無電解Cuめっき被膜の不要部分をエッチングにより取り除く。これにより、感光性樹脂層18のピアホールにピア導体20を形成し、このピア導体20をICチップ11のパッド12に導通させると共に、感光性樹脂層18の上面に内層配線パターン21を形成する。

【0016】以上の工程で、1層目の感光性樹脂層18の形成、ピアホールの形成及びピア導体20と内層配線パターン21の形成を終了し、以後、これらの工程を必要な積層数になるまで順次繰り返して、ICチップ11上にビルトアップ多層基板17を形成する。

【0017】このようにして、ICチップ11上にビルトアップ多層基板17を形成すれば、ICチップ11のパッド12に半田(Pb)バンブを形成しなくても、パッド12にピア導体20を直接接続することが可能となり、Pb不使用(Pbフリー化)の要求を満たすことができる。

【0018】ビルトアップ多層基板17の形成後、ビルトアップ多層基板17の上面全体に感光性のソルダーレジスト23をスピンドルコーター等で塗布し、これを露光、現像して、最上層のピア導体20の上端部分をビルトアップ多層基板17の上面のソルダーレジスト23の被膜から露出させる。そして、ソルダーレジスト23を熱硬化させた後、最上層のピア導体20の上端露出部分に半田ペーストをクリーン印刷し、これをリフローにより溶融させて半田バンブ22を形成する。以上の工程によ

り、図1に示す構造のBGAパッケージ24が形成される。

【0019】この後、BGAパッケージ24の半田バンプ22を配線基板25のパッド26に位置合わせてリフロー半田付けした後、BGAパッケージ24と配線基板25との間の隙間にモールド樹脂を含浸して、BGAパッケージ24と配線基板25とを接合する。これにより、図2に示す構造のマルチチップモジュール(MC M)が製造される。

*【0020】ところで、ビルドアップ多層基板17は、感光性樹脂層18の硬化収縮によって反りが生じやすいが、図1の構造では、コア材13がこの基板の反りを抑える役割を果たす。

【0021】本発明者は、コア材13が基板の反りを抑える効果を評価する試験を行ったので、その試験結果を次の表1に示す。

【0022】

【表1】

| サンプルNO. | コア材 | 反り量 |
|---------|-------------|------------|
| 1 | 樹脂板 | 5000±150μm |
| 2 | Cu板:厚さ0.4mm | 1000±100μm |
| 3 | Cu板:厚さ1.0mm | 30±5μm |

【0023】この試験に用いた各サンプルのサイズは、縦88mm×横88mm×厚さ800μmである。サンプルNO.1は、コア材として樹脂板を用い、サンプルNO.2は、コア材として厚さ0.4mmのCu板を用い、サンプルNO.3は、コア材として厚さ1.0mmのCu板を用いた。各サンプルについて、それぞれ10個ずつ反り量を測定したところ、サンプルNO.1(樹脂板)は反り量が5000±150μmであったのに対し、サンプルNO.2(厚さ0.4mmのCu板)は、反り量が1000±150μmであり、反り量がサンプルNO.1の1/5に減少した。更に、サンプルNO.3(厚さ1.0mmのCu板)は、反り量が30±5μmであり、反りが効果的に抑えられた。

【0024】尚、コア材として、Cu板、ステンレス鋼板等の金属板を用いれば、反り防止効果と共に放熱効果も得られる利点があるが、金属板に限定されず、セラミック板、ガラス板、強化樹脂板等を用いても良い。また、ICチップ11の外周囲の絶縁層をコア材と一緒に形成しても良い。更に、コア材上に複数個のICチップを接合するようにしても良い。

【0025】

【発明の効果】以上の説明から明らかなように、本発明の請求項1のICパッケージの製造方法によれば、ICチップ上にビルドアップ多層基板を形成するようにしたので、ビルドアップ多層基板の積層数が何層になっても、ICチップとビルドアップ多層基板との接合不良を防止できると共に、ICチップに半田(Pb)バンプを形成しなくとも、ICチップとビルドアップ多層基板とを接続することができ、Pb不使用(Pbフリー化)

の要求を満たすことができる。

【0026】更に、請求項2では、コア材上にICチップと同じ厚みの絶縁層を形成するようにしたので、ビルドアップ多層基板の面積を拡大できると共に、コア材によってビルドアップ多層基板の反りを抑えることができ、しかも、ICチップをビルドアップ多層基板、絶縁層及びコア材によって封止することができる。

【0027】また、請求項3では、ビルドアップ多層基板の表面に半田バンプを形成したので、BGA方式で配線基板に実装でき、高密度実装化に対応できる。

【0028】また、請求項4では、コア材として金属板を用いるようにしたので、基板の反り抑制効果と放熱性を共に高めることができる。

【図面の簡単な説明】

30 【図1】本発明の一実施形態におけるBGAパッケージの構造を示す縦断面図

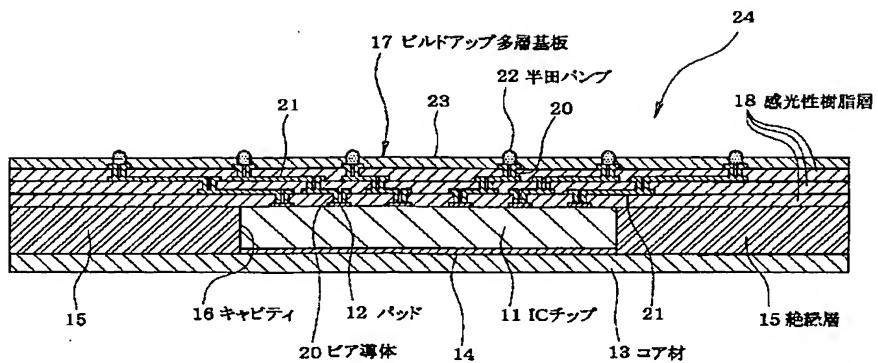
【図2】BGAパッケージを配線基板に実装した状態を示す縦断面図

【図3】マルチチップモジュールの製造方法を示す工程フローチャート

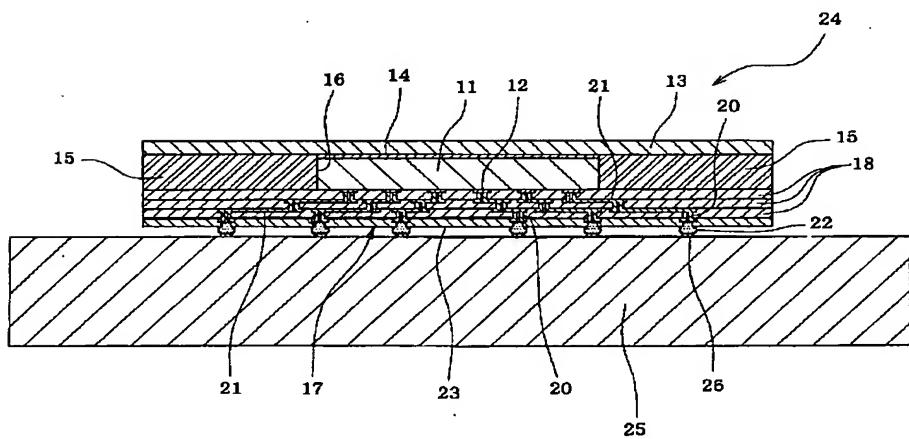
【符号の説明】

11…ICチップ、12…パッド、13…コア材、14…接着剤、15…絶縁層、16…キャビティ、17…ビルドアップ多層基板、18…感光性樹脂層、20…ピア40導体(配線層)、21…内層配線パターン(配線層)、22…半田バンプ、23…ソルダーレジスト、24…BGAパッケージ(ICパッケージ)、25…配線基板、26…パッド。

【図1】



【図2】



【図3】

